

コンピュータの論理設計

目 次

第 I 部 論理回路の基礎

第 1 章 組合せ回路の基礎

- 1.1 基本回路
 - 1.1.1 基本特性
 - 1.1.2 基本回路間の変換：ドゥ・モルガンの定理
 - 1.1.3 多入力論理回路
- 1.2 真理値表からの論理回路の導出
 - 1.2.1 具体例による説明
 - 1.2.2 カルノーマップによる論理式の導出
- 1.3 論理回路の具体例

第 2 章 順序回路の基礎 - フリップフロップ

- 2.1 RS フリップフロップ (SR フリップフロップ)
- 2.2 D ラッチ
- 2.3 enable 機能付き D ラッチ
- 2.4 D ラッチの問題点
- 2.5 マスター・スレーブフリップフロップ
- 2.6 エッジトリガー型フリップフロップ

第 II 部 機能回路の設計

第 3 章 演算回路

- 3.1 加減算回路
 - 3.1.1 加算回路
 - 3.1.2 補数回路
 - 3.1.3 加減算器
 - 3.1.4 オーバフローの条件
- 3.2 シフト回路
 - 3.2.1 2進数の乗算と除算
 - 3.2.2 シフト回路
- 3.3 算術論理演算回路 (ALU)
 - 3.3.1 ALU の概念設計
 - 3.3.2 ALU の回路設計

第 4 章 レジスタ

- 4.1 データレジスタ

- 4.2 カウンタ
 - 4.2.1 2^n 進カウンタ
 - 4.2.2 非 2^n 進カウンタ
- 4.3 プログラムカウンタ
 - 4.3.1 プログラムカウンタの機能
 - 4.3.2 プログラムカウンタの設計
- 4.4 JK フリップフロップによるカウンタの表現
 - 4.4.1 2^n 進カウンタ
 - 4.4.2 非 2^n 進カウンタ
- 4.5 乗算器と除算器
 - 4.5.1 乗算器
 - 4.5.2 除算器

第5章 メモリ

- 5.1 メモリ (RAM と ROM)
- 5.2 RAM
 - 5.2.1 ビットセル
 - 5.2.2 ワードセル
 - 5.2.3 RAM モジュール
 - 5.2.4 デコーダと並列 OR 回路
- 5.3 ROM
 - 5.3.1 ビットセル
 - 5.3.2 ワードセル
 - 5.3.3 4ワード ROM モジュール

第 III 部 コンピュータの設計

第6章 CPU の設計

- 6.1 コンピュータの機能と構成
 - 6.1.1 プログラムとコンピュータ
 - 6.1.2 コンピュータの構成要素
 - 6.1.3 コンピュータの構成
 - 6.1.4 制御装置 - 命令の解読と制御パルス列の生成
- 6.2 CPU の制御
 - 6.2.1 制御パルス列
 - 6.2.2 命令ステージとそれを実現する制御パルス列
- 6.3 各命令の制御パルスシーケンスとデータ波形
 - 6.3.1 ADD/SUB/LOAD 命令における制御パルスシーケンスとデータの波形
 - 6.3.2 ADDI 命令における制御パルスシーケンスとデータの波形
 - 6.3.3 STORE 命令における制御パルスシーケンスとデータの波形
 - 6.3.4 SHIFT 命令における制御パルスシーケンスとデータの波形
 - 6.3.5 JOP 命令における制御パルスシーケンスとデータの波形

第7章 論理回路による制御装置

- 7.1 制御装置に要求される仕様 - 命令と制御パルス列発生タイミング
- 7.2 制御パルス列を発生するメカニズム - 論理回路による制御装置の実現
 - 7.2.1 各命令の実行に必要なクロックを発生する機構
 - 7.2.2 各要素を制御する信号を発生する機構
 - 7.2.3 制御装置

第8章 マイクロプログラムによる制御装置

- 8.1 マイクロプログラム制御方式に必要な仕組み
 - 8.1.1 マイクロプログラム制御方式に必要な順序制御
 - 8.1.2 マイクロプログラムによる制御装置の構成と動作
- 8.2 マイクロプログラム
 - 8.2.1 マイクロ命令の形式
 - 8.2.2 本書のコンピュータを制御するマイクロプログラム
- 8.3 マイクロプログラムによる制御装置

第9章 コンピュータの動作

- 9.1 実行するプログラム
 - 9.1.1 アセンブリ言語によるプログラム
 - 9.1.2 機械語プログラム
- 9.2 プログラムの実行結果
 - 9.2.1 実行順序：PC と IR の内容
 - 9.2.2 変数の値
 - 9.2.3 レジスタの内容 - ACC , CCR , MAR , MDR
 - 9.2.4 メモリの書込み動作
 - 9.2.5 マイクロプログラム

第IV部 パイプラインコンピュータの設計

第10章 パイプラインコンピュータ構成

- 10.1 パイプライン処理とハザード
- 10.2 構成ハザードとそれを回避する構成
 - 10.2.1 構成ハザードとは
 - 10.2.2 構成ハザードを生じないコンピュータ構成
- 10.3 各ステージにおけるデータ流
- 10.4 具体的なコンピュータ構成におけるデータ流
 - 10.4.1 命令の形式とステージの動作
 - 10.4.2 CPU 要素の競合解消
- 10.5 データハザードとコントロールハザード
 - 10.5.1 プログラムをそのまま実行した場合

10.5.2 パイプライン処理と非パイプライン処理の性能比較

第 11 章 パイプラインコンピュータの制御装置

- 11.1 ステージの構成と制御信号
- 11.2 制御信号の値
- 11.3 制御回路の設計
- 11.4 コンピュータの動作

第 12 章 ステージスケジューリング

- 12.1 命令の実行 - データハザードとコントロールハザード
 - 12.1.1 命令セットと OP コード
 - 12.1.2 データハザードを生じる命令：生産者・消費者関係
 - 12.1.3 コントロールハザードを生じる命令
 - 12.1.4 ステージスケジューラの構成
- 12.2 命令フェッチ
 - 12.2.1 命令の取込み - IR 群と PC
 - 12.2.2 命令格納の中断 / 再開とその制御法
- 12.3 ステージの実行
 - 12.3.1 ステージの表現と遷移
 - 12.3.2 ステージの整列化
 - 12.3.3 データ参照関係のチェックと対応
 - 12.3.4 ディレイスロットの実現と挿入のタイミング
- 12.4 ステージスケジューラ
 - 12.4.1 ステージスケジューラセル
 - 12.4.2 ステージスケジューラ
- 12.5 パイプラインコンピュータの構成と動作
 - 12.5.1 パイプラインコンピュータの構成
 - 12.5.2 パイプラインコンピュータの動作

あとがき

参考文献

索引